

КОМП'ЮТЕРНІ СИСТЕМИ ТА КОМПОНЕНТИ

УДК 681.324

С. І. Мельничук¹, М. Г. Тарновський², О. Г. Муращенко²АНАЛІЗ АРХІТЕКТУРИ АЦП ПОРОЗРЯДНОГО
ВРІВНОВАЖЕННЯ ТА ПІДХОДІВ ДО ЇЇ
ВДОСКОНАЛЕННЯ¹Івано-Франківський національний технічний університет нафти і газу, Івано-Франківськ²Вінницький національний технічний університет, Вінниця

Анотація. Аналого-цифрові перетворювачі (АЦП) послідовного врівноваження займають більшу частину ринку АЦП із середньою та високою роздільною здатністю. Сучасні АЦП послідовного врівноваження дозволяють забезпечити частоту дискретизації понад 100 МГц при роздільній здатності від 10 до 12 біт. Особливостями архітектури АЦП такого типу є простота, висока енергоефективність та, залежність часу перетворення від розрізнення. Двома основними компонентами АЦП послідовного врівноваження, які впливають на його основні характеристики, є компаратор та цифро-аналоговий перетворювач (ЦАП). Найчастіше використовується ЦАП на основі матриці конденсаторів. На практиці при реалізації АЦП в інтегральному вигляді при підвищенні розрядності природне збільшення площі на кристали, зростання енергії, споживаної під час перетворення, та зниження продуктивності посилюється технічними та технологічними факторами. В роботі розглянуто особливості та обмеження базової архітектури АЦП послідовного врівноваження, проаналізовано ряд сучасних підходів, що застосовуються для покращення характеристик АЦП послідовного врівноваження збільшеної роздільної здатності. Зокрема, сегментація конденсаторної матриці ЦАП або поділ конденсаторної матриці на матрицю двійково-зважених конденсаторів та матрицю конденсаторів C-2C дозволяє скоротити діапазон потрібних значень ємностей конденсаторів та зменшити загальну ємність матриці. Завдяки цьому за порівнянням з базовою архітектурою при збільшенні розрядності АЦП для реалізації матриці вимагається менша площа на кристали та забезпечується більша продуктивність. Заміна конденсатора старшого значущого розряду матриці, точною копією іншої її частини дозволяє зменшити енергію, що споживається від джерела опорної напруги та витрачається на перерозподіл заряду між конденсаторами матриці під час перетворення.

Ключові слова: аналого-цифровий перетворювач послідовного врівноваження, ємнісний цифро-аналоговий перетворювач, матриця двійково-зважених конденсаторів, сегментна конденсаторна матриця, матриця з розділеним конденсатором.

Abstract. Successive approximation register analog-digital converters (SAR ADC) represent the majority of the ADC market for medium- to high-resolution ADCs. Modern SAR ADCs allow to ensure a sampling frequency of more than 100 MHz with a resolution of 10 to 12 bits. Features of the ADC architecture of this type: simplicity, high energy efficiency and dependency of conversion time from resolution. The two main components of a SAR ADC that affect its basic characteristics are the comparator and the digital-to-analog converter (DAC). The DAC based on a capacitor matrix is most often used. In practice, when implementing an ADC in an integrated view, when increasing the resolution, the natural increase of the chip area crystals, increase of the energy, which is consumed during the transformation, and decrease in productivity is intensified by number of technical and technological factors. The work analyzes a number of modern approaches that are used to improve the characteristics of the SAR ADC in increased resolution. In particular, the segmentation of the DAC capacitor matrix or the division of the capacitor matrix into a matrix of binary weighted capacitors and a matrix of C-2C capacitors allows to reduce the range of required values of capacitor capacities and reduce the total capacity of the matrix. Due to this, in comparison with the basic architecture, when the ADC bit rate is increased, a smaller area on the crystal is required for the implementation of the matrix and higher performance is ensured. Replacing the capacitor of the most significant discharge of the matrix with an exact copy of its other part allows to reduce the energy consumed from the reference voltage source and spent on redistributing the charge between the capacitors of the matrix during conversion.

Key words: successive approximation register analog to digital convertor, capacitor digital-to-analog convertor, array of binary weighted capacitors, segment capacitor array, array with a split capacitor.

DOI: <https://doi.org/10.31649/1999-9941-2023-57-2-4-12>.

Вступ

Аналого-цифрові перетворювачі (АЦП) послідовного врівноваження (SAR ADC – Successive Approximation Register Analog to Digital Converter) відрізняються простою структурою, низькою споживаною потужністю, гарною масштабованістю та порівняно малим часом перетворення. Це, мабуть, один з найбільш використовуваних типів АЦП. Сучасні АЦП послідовного врівноваження дозволяють забезпечити частоту дискретизації понад 100 МГц при роздільній здатності від 10 до 12 біт [1] – [3].

Аналіз особливостей базової архітектури

Не зважаючи на існування значної кількості варіантів можливої реалізації АЦП послідовного врівноваження, базова архітектура є доволі простою (рис. 1) і забезпечує аналого-цифрове перетворення за алгоритмом бінарного пошуку [4], [5].

Миттєве значення U_{IN} аналогової вхідної напруги U_A утримується у пристрої вибірки/зберігання. Для реалізації алгоритму бінарного пошуку N -розрядний регістр спочатку встановлюється на середину шкали, тобто з одиничним значенням у старшому біті ($N = 1000\dots 0_2$). У результаті напруга U_{DAC} на виході цифро-аналогового перетворювача (ЦАП) приймає значення $U_{REF}/2$, де U_{REF} є опорною напругою АЦП. За допомогою компаратора виконується порівняння U_{IN} та U_{DAC} . Якщо U_{IN} більше, ніж U_{DAC} , на виході компаратора буде високий логічний рівень, що залишить рівним 1 старший біт N -розрядного

двійкового коду у регістрі. І навпаки, якщо U_{IN} менше, ніж U_{DAC} , на виході компаратора буде низький логічний рівень, і старший біт регістра скинеться в 0. Потім схема керування переходить до наступного більш молодшого біта, встановлюючи цей біт у високий рівень і виконуючи нове порівняння. Цей процес продовжується до молодшого значущого біта. Після визначення значення молодшого біта перетворення буде завершено. Результат перетворення буде представлений N -розрядним двійковим словом у регістрі.

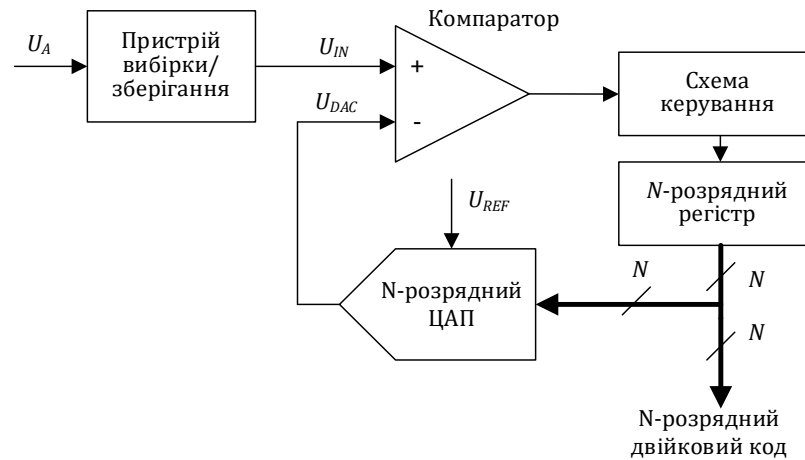


Рисунок 1 – Базова архітектура АЦП послідовного врівноваження

На рис. 2 наведений приклад 4-бітного перетворення. Графік показує зміну напруги U_{DAC} на виході ЦАП під час перетворення. У прикладі перше порівняння (у регістрі 1000_2) показує, що $U_{IN} < U_{DAC}$. Таким чином, біт 3 буде скинутий в 0. Потім в 1 встановлюється другий біт (у регістрі 0100_2) і виконується друге порівняння. У прикладі у цьому випадку $U_{IN} > U_{DAC}$, тому біт 2 залишається рівним 1. Далі в 1 встановлюється перший біт (у регістрі 0110_2) і виконується третє порівняння. У цьому випадку $U_{IN} < U_{DAC}$, тому біт 1 скидається в 0. На завершальному етапі в 1 встановлюється нульовий біт (у регістрі 0101_2). Оскільки при цьому $U_{IN} > U_{DAC}$, біт 0 залишається рівним 1.

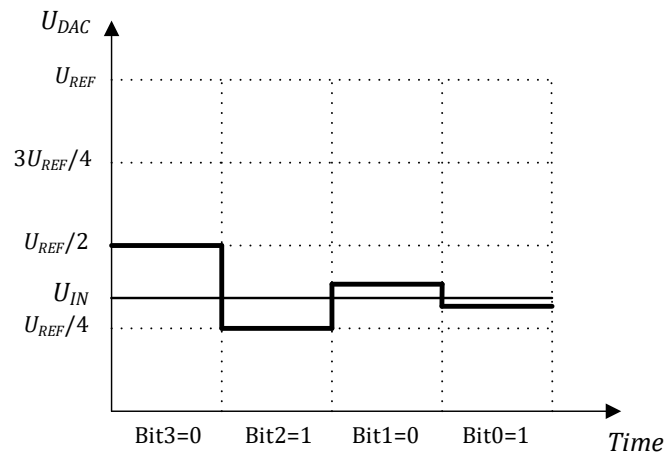


Рисунок 2 – Приклад 4-бітного перетворення АЦП послідовного врівноваження

Як видно, для 4-розрядного АЦП необхідні чотири цикли порівняння, а тому N -розрядний АЦП вимагатиме N циклів порівняння і не буде готовий до наступного перетворення, доки не завершиться поточне. Тому такі АЦП рідко застосовуються коли потрібно отримати роздільну здатність у 14-16 біт при кількох мега-вибірках за секунду [4].

Двома основними компонентами АЦП послідовного врівноваження, які впливають на його основні характеристики, є компаратор і ЦАП. Пристрій вибірки/зберігання може бути вбудований в ЦАП і, отже, може не бути явним блоком АЦП цього типу.

Швидкість АЦП послідовного врівноваження обмежена часом встановлення ЦАП, часом спрацювання компаратора та схеми керування. Максимальний час встановлення ЦАП зазвичай переважно визначається часом встановлення старшого значущого біта, оскільки при цьому спостерігається найбільша зміна напруги на виході ЦАП. Крім того, лінійність АЦП обмежена лінійністю ЦАП. Через ці об-

меження узгодження компонентів АЦП послідовного врівноваження з роздільною здатністю понад 12 біт часто вимагають певної форми підстроювання або калібрування для досягнення необхідної лінійності.

Базова архітектура ЦАП будується на основі резистивної матриці або матриці конденсаторів. Розвиток субмікронних КМОН технологій сприяв створенню компактних та точних ЦАП з комутованими конденсаторами, що обумовило створення нового покоління АЦП послідовного врівноваження, що відрізняються малими розмірами, вартістю, споживаною потужністю та високою точністю. Ще однією перевагою ємнісного ЦАП є поєднання у ньому властивостей пристрою вибірки/зберігання, що дозволяє зекономити місце на кристалі [6].

Ємнісний ЦАП використовує принцип перерозподілу заряду для створення аналогової вихідної напруги. Він складається з масиву з N конденсаторів з двійковими зваженими значеннями ємностей плюс один конденсатор «фіктивний молодший розряд» [4], [7]. На рис. 3 наведений приклад 4-розрядного ємнісного ЦАП, підключеного до компаратора.

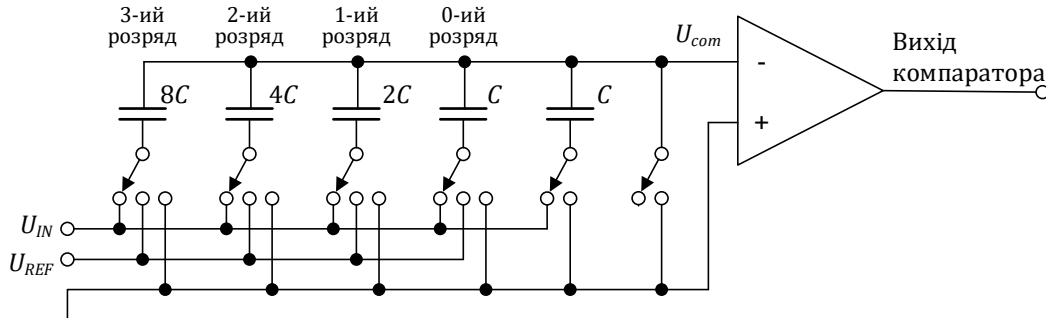


Рисунок 3 – Ємнісний ЦАП з компаратором для 4-розрядного АЦП послідовного врівноваження

Процедура перетворення складається з трьох основних етапів: фази вибірки, фази утримання та режиму перерозподілу. Під час фази вибірки загальна лінія масиву конденсаторів, до якої під'єднані їх верхні обкладки, підключаються до землі, а усі нижні обкладки конденсаторів підключаються до клемі вхідного сигналу U_{IN} . Відповідно кожний з конденсаторів, заряджаючись до напруги U_{IN} , накопичує заряд $q_i = C_i \cdot U_{IN}$, де C_i – ємність i -го конденсатора. Сумарний заряд, накопичений на верхніх обкладках конденсаторів, складе:

$$q_{\Sigma} = -8C \cdot U_{IN} - 4C \cdot U_{IN} - 2C \cdot U_{IN} - C \cdot U_{IN} - C \cdot U_{IN} = -16C \cdot U_{IN}.$$

Наступним етапом є фаза утримання, під час якої загальна лінія від'єднується від землі, а вільні клемі, що з'єднані з нижніми обкладками конденсаторів, від'єднуються від U_{IN} і з'єднують із землею. У результаті цього, на загальній клемі утворюється напруга $U_{COM} = -U_{IN}$ (під час фази накопичення заряду потенціал верхньої обкладки кожного конденсатора дорівнював нулю, а нижньої U_{IN}).

Останнім етапом є режим перерозподілу, під час якого визначаються значення двійкових розрядів. На першому етапі алгоритму бінарного пошуку нижня обкладка конденсатора старшого значущого розряду (на рис. 3 це конденсатор ємністю $8C$) від'єднується від землі та підключається до U_{REF} . Відбувається перерозподіл заряду між цим конденсатором та групою з 4-ох паралельно включених конденсаторів $4C$, $2C$, C та C :

$$-16C \cdot U_{IN} = 8C(U_{COM} - U_{REF}) + (4C + 2C + C + C)U_{COM}.$$

Звідки

$$U_{COM} = \frac{-16C \cdot U_{IN} + 8CU_{REF}}{8C + (4C + 2C + C + C)} = -U_{IN} + \frac{1}{2}U_{REF}. \quad (1)$$

Таким чином, підключення нижньої обкладки конденсатора старшого значущого розряду до U_{REF} зміщує потенціал на від'ємному вході компаратора у позитивному напрямі на $1/2U_{REF}$.

Компаратор порівнює напругу U_{COM} з нулем. Якщо $U_{COM} < 0$, тобто $U_{IN} > 1/2U_{REF}$, на виході компаратора буде логічна 1, і нижня обкладка конденсатора старшого значущого розряду залишається підключеною до U_{REF} . Якщо $U_{COM} > 0$, тобто $U_{IN} < 1/2U_{REF}$, на виході компаратора буде логічний 0, і нижня обкладка конденсатора старшого значущого розряду знову підключається до землі.

Потім до U_{REF} підключається нижня обкладка конденсатора наступного більш меншого розряду, що викликає збільшення напруги U_{COM} на $1/4U_{REF}$. Нова напруга U_{COM} знову порівнюється з 0. За результатами порівняння нижня обкладка конденсатора або залишається підключеною до U_{REF} , або знову підк-

лючається до землі. Цей процес продовжується, доки не буде визначене значення молодшого значущого розряду. Після завершення перетворення напруга U_{COM} на негативному вході компаратора буде визначатися виразом:

$$U_{COM} = -U_{IN} + \frac{\sum_{i=0}^{q-1} b_i 2^i C}{16C} U_{REF} = -U_{IN} + \frac{\sum_{i=0}^{q-1} b_i 2^i}{16} U_{REF}. \quad (2)$$

де b_i – значення i -го біта.

Для N -розрядного ЦАП вираз (2) набуде вигляду:

$$U_{COM} = -U_{IN} + \frac{\sum_{i=0}^{N-1} b_i 2^i}{2^N} U_{REF}. \quad (3)$$

Аналіз сучасних підходів до вдосконалення базової архітектури

В ідеальному ЦАП кожен з конденсаторів відповідає певному двійковому розряду, а тому повинен мати значення ємності точно вдвічі більше значення ємності попереднього меншого конденсатора. В АЦП з високою роздільною здатністю (наприклад 16 біт) це призводить до занадто широкого діапазону значень для реалізації в економічно прийнятному розмірі. Одним із методів зменшення площі є мінімізація значення ємності одиничного конденсатора, але це може призвести до погіршення характеристик лінійності [8]. З іншого боку, через обмеження ємності одиничного конденсатора з підвищенням роздільної здатності АЦП збільшується загальна ємність ЦАП, що зменшує швидкість перетворення.

Для АЦП з високим розрізненням у доповнення до зазначених вище проблем збільшується енергоспоживання [9]. Основна енергія споживається в процесі зарядження та розрядження конденсаторів. При цьому під час перерозподілу заряду між конденсаторами матриці більша частина енергії витрачається впусту, оскільки накопичений заряд розряджається на матрицю [10].

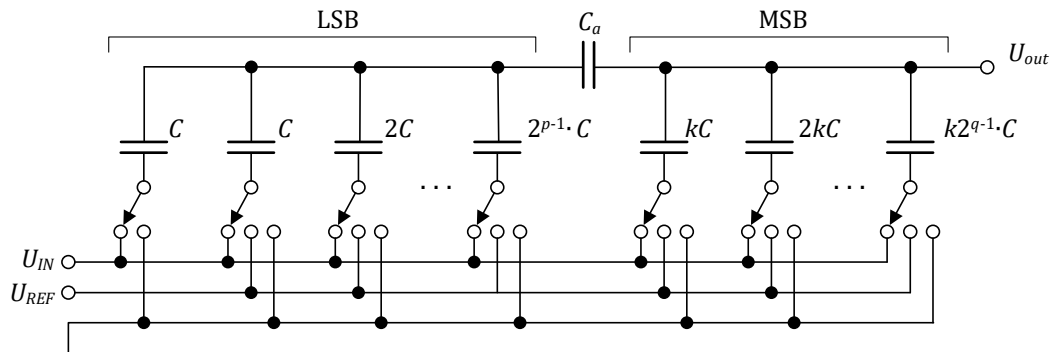


Рисунок 4 – Двосегментований масив конденсаторів

Одним з підходів до зменшення загальної ємності є сегментація масиву конденсаторів [9], [11] - [15]. Для двосегментованої архітектури, що зображена на рис. 4, загальна ємність масиву конденсаторів складає:

$$C_{\Sigma} = (2^p + k(2^q - 1)) \cdot C,$$

тоді як для базової

$$C_{\Sigma} = 2^N \cdot C,$$

де p – кількість молодших значущих біт LSB;

q – кількість старших значущих біт MSB;

N – розрядність цифрового коду; $N = p + q$;

C – ємність конденсатора нульового розряду.

Зменшення загальної ємності, а значить і площі кристала, є оптимальним, коли сегменти молодших і старших розрядів є однаковими ($k = 1, p = q = N/2$). У цьому випадку загальна ємність сегментного масиву буде приблизно у $2^{N/2-1}$ разів меншою за загальну ємність базового масиву. Тим не менш, чим більший сегмент старших розрядів ($q > p$), тим кращою є лінійність [9], [11].

Сегменти з'єднуються мостовим конденсатором C_a , для значення ємності якого на підставі виразів, отриманих в [12], можна записати:

$$C_a = \frac{k}{2^p - k} \cdot C_{LSB}, \quad (4)$$

де C_{LSB} – сумарна ємність сегменту молодших розрядів.

Відповідно до рис. 4 $C_{LSB} = 2^p$. Тоді при $k = 1$ значення ємності мостового конденсатора складе

$$C_a = \frac{2^p}{2^p - 1},$$

тобто буде дробовим числом.

Дробове значення ємності мостового конденсатора погіршує узгодження з іншими конденсаторами матриці та збільшує нелінійність АЦП [9], [12].

Для подолання цього недоліка як конденсатор «фіктивного молодшого розряду» (крайній лівий на рис. 4) використовують конденсатор ємністю C_d . У цьому випадку загальна ємність сегменту молодших розрядів LSB складе

$$C_{2LSB} = (2^p - 1) \cdot C + C_d.$$

Тоді вираз (4) набуде вигляду:

$$C_a = \frac{k}{2^p - k} \cdot [(2^p - 1) \cdot C + C_d]. \quad (5)$$

Підбираючи певним чином значення p , k та C_d , можна отримати ціле значення C_a . Так в [12] 12-бітний масив конденсаторів ЦАП поділяється на 8-ми бітний сегмент старших значущих розрядів та 4-ох бітний молодших ($p = 4$). Для економії площі $k = 1$. У цьому випадку відповідно до виразу (5) $C_a = (1/15) \cdot (15C + C_d)$. При $C_d = 15C$ значення C_a буде дорівнювати $2C$, а при $C_d = 30C$ C_a дорівнює $3C$. Занадто велике значення C_a викликає значну паразитну ємність, що негативно позначиться на лінійності АЦП [12].

Ще один варіант зменшення повної ємності, що запропонований в [10], передбачає використання методу подвійної вибірки та побудову ЦАП з використанням масиву двійково-зважених конденсаторів та масиву конденсаторів $C-2C$ (рис. 5). За порівнянням зі звичайною структурою, аналогові вхідні сигнали дискретизуються двома сторонами компаратора. На негативному вході за допомогою масиву двійково-зважених конденсаторів та масиву конденсаторів $C-2C$. На позитивному вході додатковим конденсатором вибірки C_s , що підключений до перемикача, керованого старшим значущим бітом (b_9).

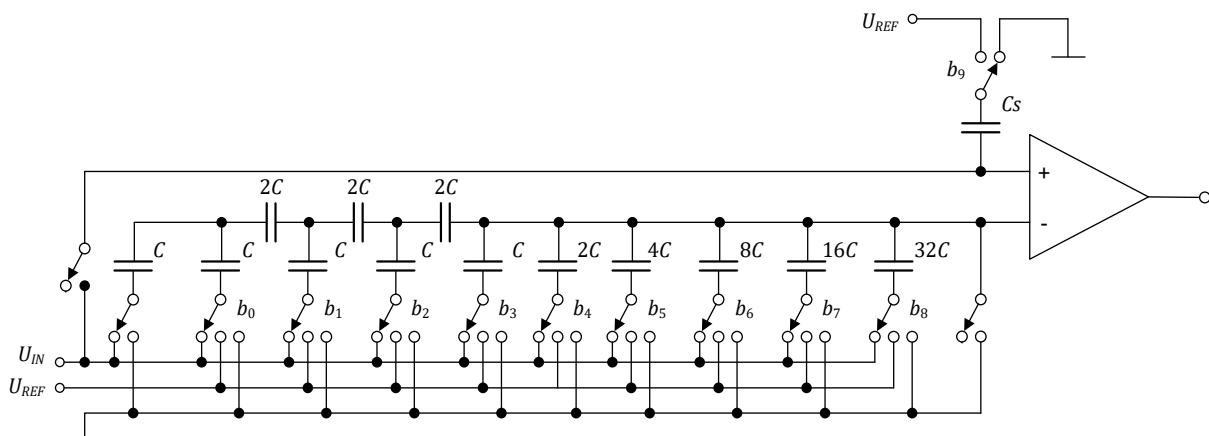


Рисунок 5 – 10-бітний ЦАП на основі масиву двійково-зважених конденсаторів та масиву конденсаторів $C-2C$ [10]

При використанні масиву конденсаторів $C-2C$ є дві проблеми. По-перше, нелінійність, викликана невідповідністю значень ємностей конденсаторів у масиві конденсаторів $C-2C$, є гіршою, ніж у звичайного масиву конденсаторів з бінарними зважуваннями. По-друге, еквівалентний імпеданс масиву конденсаторів $C-2C$ є більшим, ніж масиву конденсаторів з двійковими зважуваннями. Щоб зменшити ці ефекти, розрядність масиву конденсаторів $C-2C$ вибирається меншою. Відповідно до цього в 10-розрядному

ЦАП, що представлений в [10], масив конденсаторів з двійковими зважуваннями, відповідає шістьом розрядам 10-ти бітного двійкового коду (біти $b3-b8$), а масив конденсаторів $C-2C$ – чотирьом розрядам (біти $b0-b2$). Загальна ємність масиву конденсаторів становить при цьому $73C + C_s$ [10].

На завершення зазначимо, що головною проблемою сегментних ЦАП є нелінійність характеристики перетворення через їх високу чутливість до неузгодженості номіналів конденсаторів та паразитних ємностей. Особливо для перетворювачів високої роздільної здатності. Це вимагає їх калібрування. Сьогодні існує багато ефективних архітектур цифрового калібрування, проте вони одночасно і ускладнюють схему перетворювача, і збільшують загальну площу кристалу [9].

Як було зазначено вище, кожний крок перетворення розпочинається з того, що нижня обкладка чергового конденсатора підключається до U_{REF} . Потім проводиться порівняння, за результатами якого можуть мати місце два переходи. Якщо порівняння пройшло успішно, нижня обкладка конденсатора C_i , що відповідає i -ому оцінюваному біту, залишається підключеною до U_{REF} , і до U_{REF} підключається нижня обкладка конденсатора C_{i-1} , що відповідає наступному, більш молодшому розряду. Якщо поточна цифрова оцінка значення вхідної напруги виявилася невірною, нижня обкладка конденсатора C_i перемикається на землю з підключенням до U_{REF} нижньої обкладки конденсатора C_{i-1} . Перший випадок можна назвати переходом «вгору», а другий – переходом «вниз».

В [16] запропоновано підхід до оцінювання споживання енергії від джерела опорної напруги U_{REF} під час цих переходів. Відповідно до цього підходу значення енергії, що отримується конденсатором від джерела U_{REF} між моментом часу $t1$, коли його нижня обкладка підключається до U_{REF} , та моментом $t2$, коли напруга на ньому стабілізується, можна знайти за виразом:

$$E = \int_{t1}^{t2} U_{REF} \cdot i(t) dt = -U_{REF} \int_{t1}^{t2} \frac{dQ}{dt} dt = -U_{REF} \cdot [Q(t2) - Q(t1)],$$

або

$$E = -U_{REF} \cdot C_i \cdot [U(t2) - U(t1)], \quad (6)$$

де $U(t1)$ та $U(t2)$ – напруги на конденсаторі в моменти часу $t1$ та $t2$, відповідно.

З використанням виразу (6) за методикою, запропонованою в [16], знайдемо енергію, споживану від джерела U_{REF} при переходах «вгору» та «вниз» під час визначення значення самого старшого значущого розряду, якому відповідає конденсатор C_{n-1} .

При переході «вгору», відповідно до викладеного у першій частині даної статті, напруга на конденсаторі C_{n-1} змінюється зі значення

$$U_{C_{n-1}}(t1) = \left(-U_{IN} + \frac{U_{REF}}{2}\right) - (U_{REF})$$

на значення

$$U_{C_{n-1}}(t2) = \left(-U_{IN} + \frac{U_{REF}}{2} + \frac{U_{REF}}{4}\right) - (U_{REF}).$$

(у виразах перше значення у дужках є напругою на верхній обкладці конденсатора, друге – на нижній). На конденсаторі $C_{n-2} = C_{n-1}/2$, відповідно, зі значення

$$U_{C_{n-2}}(t1) = \left(-U_{IN} + \frac{U_{REF}}{2}\right) - (0) \quad (7)$$

на значення

$$U_{C_{n-2}}(t2) = \left(-U_{IN} + \frac{U_{REF}}{2} + \frac{U_{REF}}{4}\right) - (U_{REF}). \quad (8)$$

Відповідно до виразу (6) витрати енергії при цьому складуть

$$E_{up} = \frac{1}{8} C_{n-1} U_{REF}^2.$$

При переході «вниз» тільки конденсатор C_{n-2} перезаряджається через джерело U_{REF} , зі зміною напруги на ньому від значення (7) до значення (8). Витрати енергії при цьому будуть

$$E_{dn} = \frac{5}{8} C_{n-1} U_{REF}^2.$$

Отже для базової архітектури на перехід «вгору» витрачається менше енергії, ніж на перехід «вниз».

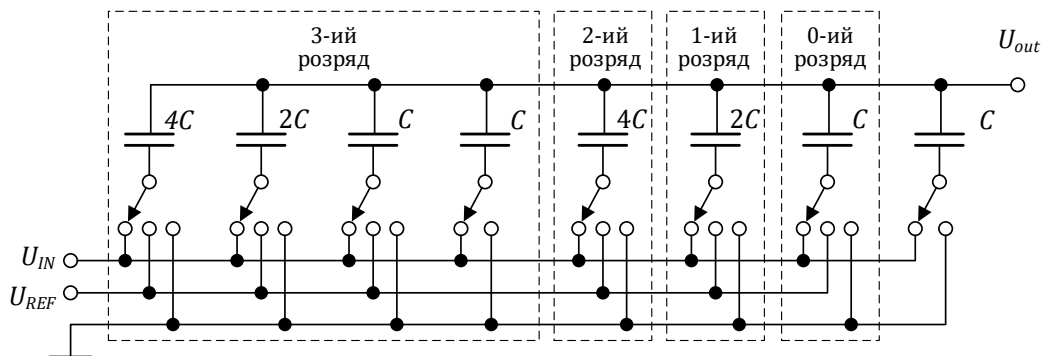


Рисунок 6 – Приклад матриці конденсаторів 4-ох розрядного ЦАП з розділеним конденсатором старшого значущого розряду

Одним з основних підходів для підвищення енергоефективності перетворювачів за рахунок зменшення енергії, яка витрачається на перехід «вниз», що запропонований в [16] і використаний в [17] – [19], є розділення конденсатора старшого значущого розряду. Він полягає у заміні конденсатора ємністю 2^{n-1} точною копією іншої частини матриці ємнісного ЦАП, що складається з 2^{n-1} двійково-зважених конденсаторів (рис. 6).

На початку перетворення нижні обкладки конденсаторів матриці, що відповідає старшому розряду, підключаються до U_{REF} . У наступних циклах перехід "вгору" аналогічний звичайній процедурі перемикавання, тобто i -й конденсатор основної матриці підключається до U_{REF} для i -го рішення. При переході «вниз» на землю перемикається i -й конденсатор у матриці, яка відповідає старшому розряду. У результаті при переходах «вниз» не відбувається перезаряду конденсатору наступного, більш молодшого розряду від джерела U_{REF} . Через особливості реалізації конденсаторної матриці в інтегральному виконанні, поділ конденсатора старшого значущого розряду не призводить до суттєвого збільшення площі на кристалі [16].

Висновки

АЦП послідовного врівноваження є одним з найбільш широко використовуваних типів АЦП, що знаходять застосування у багатьох сферах. Завдяки простоті базової архітектури та низькій споживаній потужності вони є найкращим рішенням у тих застосуваннях, де достатнім є розрізнення від 10 до 12 біт при частоті вибірок порядку $10^8/\text{с}$. Поряд із цим, впроваджуються нові підходи, які дозволяють доволі успішно вирішувати завдання зі збільшення роздільної здатності та продуктивності АЦП такого типу, що відкривають нові перспективи до розширення кола вирішуваних задач, які вимагають реалізації аналого-цифрового перетворення.

Список літератури

- [1] Y. Shen et al. A 10-bit 120-MS/s SAR ADC With Reference Ripple Cancellation Technique // IEEE Journal of Solid-State Circuits, 2020, vol. 55, № 3, pp. 680-692.
- [2] D. Li et al. A 1.4-mW 10-Bit 150-MS/s SARADC With Nonbinary Split Capacitive DAC in 65-nm CMOS // IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, vol. 65, № 11, pp.1524-1528.
- [3] D. Luu et al. A 12-bit 300-MS/s SAR ADC with inverter-based preamplifier and common-moderegulation DAC in 14-nm CMOS FinFET // IEEE Journal Solid-State Circuits, 2018, vol. 53, №11, pp. 3268–3279.
- [4] Understanding SAR ADCs: Their Architecture and Comparison with Other ADCs. [Електронний ресурс]. – Режим доступу: <https://www.analog.com/en/technical-articles/successive-approximation-registers-sar-and-flash-adcs.html>.
- [5] Jayamala Adsul, Harsh Sawardekar Reconfigurable Successive Approximation Register ADC and SAR-Assisted Pipeline ADC // A Journal of Physical Sciences, Engineering and Technology, 2021, vol. 13, № 2, pp. 93-97.
- [6] Y. Bocharov1 et al., Impact of switches resistance on successive approximation of ADC dynamic performance // IOP Conference Series: Materials Science and Engineering, April 2019; doi:10.1088/1757-899X/498/1/012005.
- [7] Huailiang Li1 , Jing Hu The Research on SAR ADC Integrated Circuit // Journal of Physics: Conference Series, Volume 1314, 3rd International Conference on Electrical, Mechanical and Computer Engineering 9–11 August 2019, Guizhou, China; doi:10.1088/1742-6596/1314/1/012022.

- [8] W. Guo, S. Liu, Z. Zhu An asynchronous 12-bit 50MS/s rail-to-rail Pipeline-SAR ADC // *Microelectronics Journal*, 2016, vol. 52, pp. 23–30.
- [9] W. Bontems, D. Dzahini Methodology for a Low-Power and Low-Circuit-Area 15-Bit SAR ADC Using Split-Capacitor Mismatch Compensation and a Dynamic Element Matching Algorithm // *Chips*, 2023, №2, pp. 31–43.
- [10] Lu Chi-Chang , Huang Ding-Ke 1.2 V 10-bits 40 MS/s CMOS SAR ADC for low-power applications. // *IET Circuits, Devices and Systems*, 2019, vol. 13, №6, pp. 857–862.
- [11] Y. Zheng, F. Ye, J. Ren A 12-Bit, 100 MS/s SAR ADC Based on a Bridge Capacitor Array with Redundancy and Non-Linearity Calibration in 28 nm CMOS // *Electronics* 2022, 11, 705; <https://doi.org/10.3390/electronics11050705>.
- [12] Y. Zheng, J. Lan, F. Ye and J. Ren. A 12-bit 100MS/s SAR ADC with equivalent split-capacitor and LSB-averaging in 14-nm CMOS FinFET // *IEEE Access*, 2021, vol. 9, pp. 169107-169121.
- [13] C. Shetty, M. Nagabushanam, V. Prasad A 14-bit high speed 125MS/s low power SAR ADC using dual split capacitor DAC architecture in 90nm CMOS technology // *International Journal of Circuits, Systems and Signal Processing*, 2021, vol. 15, № 62, pp. 556–568.
- [14] Wu Y. et al. A design method of capacitor arrays for high-resolution SAR ADCs // *Circuit World*, 2020, vol. 46, № 4, pp. 249–255.
- [15] Cen Yuanjun et al. Design of Capacitor Array in 16-Bit Ultra High Precision SAR ADC for the Wearable Electronics Application // *IEEE Access*, 2020, vol. 8., pp. 175230-175243.
- [16] Ginsburg B., Chandrakasan A. An energy-efficient charge recycling approach for a sar converter with capacitive dac // *Proceedings of the 2005 IEEE International Symposium on Circuits and Systems (ISCAS)*, May 2005; doi: 10.1109/ISCAS.2005.1464555.
- [17] Liangbo X. et al. Energy-efficient capacitor-splitting DACscheme with high accuracy for SAR ADCs // *Electronics Letters*, 2015, vol. 51, №. 6, pp. 460–462.
- [18] Tan S. et al. A 10-bit Split-Capacitor SAR ADC with DAC Imbalance Estimation and Calibration // *Proceedings of the 2020 IEEE International Symposium on Circuits and Systems (ISCAS)*, 12–14 October Seville, Spain, 2020; doi: 10.1109/iscas45731.2020.9180539.
- [19] Yunfeng H. et al. A 10 bit 1 MS/s SAR ADC with one LSB common-mode shift energy-efficient switching scheme for image sensor // *Frontiers in Physics*, 2022, vol. 10, pp. 82–95.

References

- [1] Y. Shen et al. A 10-bit 120-MS/s SAR ADC With Reference Ripple Cancellation Technique // *IEEE Journal of Solid-State Circuits*, 2020, vol. 55, № 3, pp. 680-692.
- [2] D. Li et al. A 1.4-mW 10-Bit 150-MS/s SARADC With Nonbinary Split Capacitive DAC in 65-nm CMOS // *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2018, vol. 65, № 11, pp.1524-1528.
- [3] D. Luu et al. A 12-bit 300-MS/s SAR ADC with inverter-based preamplifier and common-moderegulation DAC in 14-nm CMOS FinFET // *IEEE Journal Solid-State Circuits*, 2018, vol. 53, №11, pp. 3268–3279.
- [4] Understanding SAR ADCs: Their Architecture and Comparison with Other ADCs. [Електронний ресурс]. – Режим доступу: <https://www.analog.com/en/technical-articles/successive-approximation-registers-sar-and-flash-adcs.html>.
- [5] Jayamala Adsul, Harsh Sawardekar Reconfigurable Successive Approximation Register ADC and SAR-Assisted Pipeline ADC // *A Journal of Physical Sciences, Engineering and Technology*, 2021, vol. 13, № 2, pp. 93-97.
- [6] Y. Bocharov1 et al., Impact of switches resistance on successive approximation of ADC dynamic performance // *IOP Conference Series: Materials Science and Engineering*, April 2019; doi:10.1088/1757-899X/498/1/012005.
- [7] Huailiang Li1 , Jing Hu The Research on SAR ADC Integrated Circuit // *Journal of Physics: Conference Series*, Volume 1314, 3rd International Conference on Electrical, Mechanical and Computer Engineering 9–11 August 2019, Guizhou, China; doi:10.1088/1742-6596/1314/1/012022.
- [8] W. Guo, S. Liu, Z. Zhu An asynchronous 12-bit 50MS/s rail-to-rail Pipeline-SAR ADC // *Microelectronics Journal*, 2016, vol. 52, pp. 23–30.
- [9] W. Bontems, D. Dzahini Methodology for a Low-Power and Low-Circuit-Area 15-Bit SAR ADC Using Split-Capacitor Mismatch Compensation and a Dynamic Element Matching Algorithm // *Chips*, 2023, №2, pp. 31–43.
- [10] Lu Chi-Chang , Huang Ding-Ke 1.2 V 10-bits 40 MS/s CMOS SAR ADC for low-power applications. // *IET Circuits, Devices and Systems*, 2019, vol. 13, №6, pp. 857–862.
- [11] Y. Zheng, F. Ye, J. Ren A 12-Bit, 100 MS/s SAR ADC Based on a Bridge Capacitor Array with Redundancy and Non-Linearity Calibration in 28 nm CMOS // *Electronics* 2022, 11, 705; <https://doi.org/10.3390/electronics11050705>.

- [12] Y. Zheng, J. Lan, F. Ye and J. Ren. A 12-bit 100MS/s SAR ADC with equivalent split-capacitor and LSB-averaging in 14-nm CMOS FinFET // IEEE Access, 2021, vol. 9, pp. 169107-169121.
- [13] C. Shetty, M. Nagabushanam, V. Prasad A 14-bit high speed 125MS/s low power SAR ADC using dual split capacitor DAC architecture in 90nm CMOS technology // International Journal of Circuits, Systems and Signal Processing, 2021, vol. 15, № 62, pp. 556–568.
- [14] Wu Y. et al. A design method of capacitor arrays for high-resolution SAR ADCs // Circuit World, 2020, vol. 46, № 4, pp. 249–255.
- [15] Cen Yuanjun et al. Design of Capacitor Array in 16-Bit Ultra High Precision SAR ADC for the Wearable Electronics Application // IEEE Access, 2020, vol. 8., pp. 175230-175243.
- [16] Ginsburg B., Chandrakasan A. An energy-efficient charge recycling approach for a sar converter with capacitive dac // Proceedings of the 2005 IEEE International Symposium on Circuits and Systems (ISCAS), May 2005; doi: 10.1109/ISCAS.2005.1464555.
- [17] Liangbo X. et al. Energy-efficient capacitor-splitting DACscheme with high accuracy for SAR ADCs // Electronics Letters, 2015, vol. 51, №. 6, pp. 460–462.
- [18] Tan S. et al. A 10-bit Split-Capacitor SAR ADC with DAC Imbalance Estimation and Calibration // Proceedings of the 2020 IEEE International Symposium on Circuits and Systems (ISCAS), 12–14 October Seville, Spain, 2020; doi: 10.1109/iscas45731.2020.9180539.
- [19] Yunfeng H. et al. A 10 bit 1 MS/s SAR ADC with one LSB common-mode shift energy-efficient switching scheme for image sensor // Frontiers in Physics, 2022, vol. 10, pp. 82–95.

Відомості про авторів

Мельничук Степан Іванович – доктор технічних наук, професор, завідувач кафедри комп'ютерних систем і мереж Івано-Франківського національного технічного університету нафти і газу

Тарновський Микола Геннадійович – кандидат технічних наук, доцент кафедри обчислювальної техніки Вінницького національного технічного університету

Муращенко Олександр Геннадійович – кандидат технічних наук, доцент кафедри обчислювальної техніки Вінницького національного технічного університету

S. I. Melnychuk¹, M. H. Tarnovskyi², O. H. Murashchenko²

ANALYSIS OF THE ARCHITECTURE OF SUCCESSIVE APPROXIMATION REGISTER ADC AND APPROACHES TO ITS IMPROVEMENT

¹Ivano-Frankivsk National Technical University of Oil and Gas, Ivano-Frankivsk

²Vinnitsia National Technical University, Vinnitsia